

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

US2002132438

[Biblio](#) [Desc](#) [Claims](#) [Page 1](#) [Drawing](#)

Epitaxial base bipolar transistor with raised extrinsic base

Patent Number: [US2002132438](#)

Publication date: 2002-09-19

Inventor(s): DUNN JAMES STUART (US); JOHNSON ROBB ALLEN (US); LANZEROOTTI LOUIS DEWOLF (US); HARAME DAVID L (US); JOHNSON JEFFREY BOWMAN (US); STONGE STEPHEN ARTHUR (US)

Applicant(s):

Requested Patent: [JP2002313798](#)

Application Number: US20010810856 20010316

Priority Number(s): US20010810856 20010316

IPC Classification: H01L21/331

EC Classification: [H01L29/737B8](#), [H01L21/331B](#), [H01L21/331F8](#), [H01L29/10B](#), [H01L29/732](#)

Equivalents:

Abstract

An epitaxial base bipolar transistor comprising an epitaxial single crystal layer on a single crystal single substrate, a raised emitter on the semiconductor surface, a raised extrinsic base on the surface of the semiconductor substrate, an insulator between the raised emitter and the raised extrinsic base, wherein said insulator is a spacer; and a diffusion from the raised emitter and from the raised extrinsic base to provide an emitter diffusion and an extrinsic base diffusion in said single crystal substrate, wherein said emitter diffusion has an emitter diffusion junction depth, and wherein said emitter extends to said substrate surface and said base extends to said substrate surface, wherein said emitter to base surface height difference is less than 20% of said emitter junction depth, as well as methods for fabricating the same.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP) (12) 公開特許公報 (A) (11)特許出願公開番号
 特開2002-313798
 (P2002-313798A)

(43)公開日 平成14年10月25日 (2002.10.25)

(51)Int.Cl. ⁷	識別記号	F I	テマコト(参考)
H 01 L 21/331		H 01 L 29/72	S 5 F 0 0 3
29/732			H
29/737			

審査請求 有 請求項の数30 OL (全13頁)

(21)出願番号	特願2002-52091(P2002-52091)	(71)出願人	390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSIN ESS MACHINES CORPO RATION アメリカ合衆国10504、ニューヨーク州 アーモンク ニュー オーチャード ロー ^ド (74)代理人 100086243 弁理士 坂口 博 (外1名)
(22)出願日	平成14年2月27日 (2002.2.27)		
(31)優先権主張番号	09/810856		
(32)優先日	平成13年3月16日 (2001.3.16)		
(33)優先権主張国	米国 (US)		

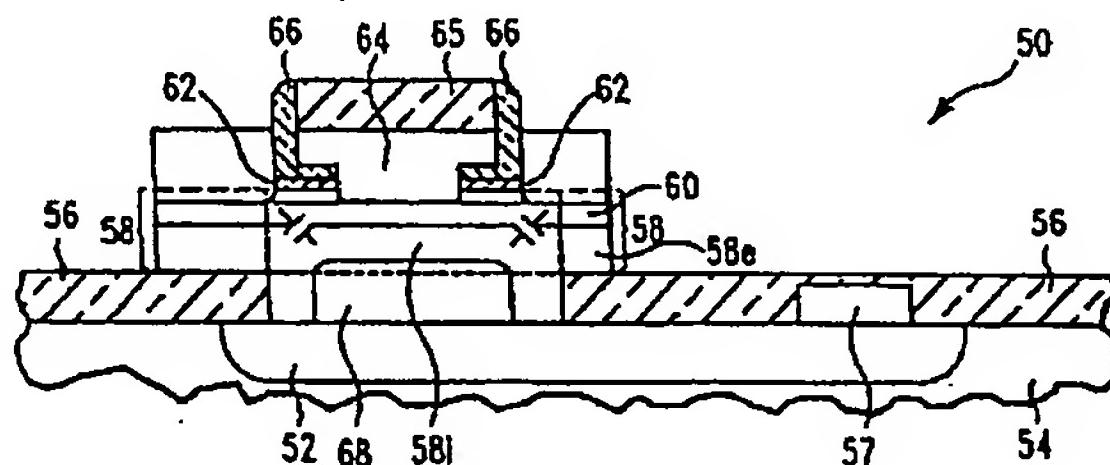
最終頁に続く

(54)【発明の名称】エピタキシャル・ベース・バイポーラ・トランジスタおよびその製造方法

(57)【要約】

【課題】低いベース抵抗を有し、キャパシタンスが増大しないエピタキシャル・ベース・バイポーラ・トランジスタを提供する。

【解決手段】単結晶半導体基板54上のエピタキシャル・シリコン層と、半導体基板の表面上の隆起エミッタ64と、半導体基板の表面上の隆起外部ベース58eと、隆起エミッタと隆起外部ベースとの間の、スペーサである絶縁体66と、半導体基板内に、エミッタ拡散部および外部ベース拡散部を与えるための、隆起エミッタおよび隆起外部ベースからの拡散とを備え、エミッタ拡散部は、エミッタ拡散接合深さを有し、隆起エミッタは、半導体基板の表面にまで延び、隆起外部ベースは、半導体基板の表面にまで延び、エミッタ/ベースの表面高さの差は、エミッタ拡散接合深さの20%より小さい。



【特許請求の範囲】

【請求項1】隆起外部ベースを有するエピタキシャル・ベース・バイポーラ・トランジスタを製造する方法であつて、
単結晶半導体基板上に、少なくともエピタキシャル・シリコン層を成長させる工程と、
前記単結晶半導体基板の表面上に、隆起エミッタを形成する工程とを含み、前記隆起エミッタは、少なくともその側壁に形成された絶縁材料を有し、
前記単結晶半導体基板の表面上に、隆起外部ベースを形成する工程を含み、前記隆起エミッタと隆起外部ベースとは、前記絶縁材料によって絶縁され、
前記隆起エミッタおよび隆起外部ベースからドーパントを拡散して、前記単結晶半導体基板内に、エミッタ拡散部および外部ベース拡散部を与える工程を含み、前記エミッタ拡散部は、エミッタ拡散接合深さを有し、前記エミッタ拡散部は、前記単結晶半導体基板の表面上にまで延び、前記外部ベース拡散部は、前記単結晶半導体基板の表面上にまで延びる、方法。

【請求項2】前記エピタキシャル・シリコン層は、さらに、その表面上に形成されたGe層を含む、請求項1に記載の方法。

【請求項3】前記エピタキシャル・シリコン層を成長する工程の間に、ポリシリコン層を形成し、前記ポリシリコン層は、前記エピタキシャル・シリコン層に隣接して形成される、請求項1に記載の方法。

【請求項4】前記ポリシリコン層は、前記半導体基板内に形成された分離領域上に形成される、請求項3に記載の方法。

【請求項5】前記エピタキシャル・シリコン層は、約500～約3000Åの厚さを有する、請求項1に記載の方法。

【請求項6】前記絶縁材料は、少なくとも、酸化物、または酸化物と窒化物との組合せを含む、請求項1に記載の方法。

【請求項7】前記隆起エミッタは、前記絶縁体材料内にエミッタ開口を設け、前記エミッタ開口内に真性ポリシリコンを付着し、前記付着された真性ポリシリコン上に酸化物層または窒化物層を設けることによって形成される、請求項1に記載の方法。

【請求項8】前記隆起エミッタは、その側壁に形成されたスペースを有する、請求項1に記載の方法。

【請求項9】前記隆起外部ベースは、前記隆起エミッタを取り囲むようにしてP⁺ポリシリコン層を付着し、前記付着されたポリシリコンをエッチングして画定することによって形成される、請求項1に記載の方法。

【請求項10】前記P⁺ポリシリコン層の付着は、温度が550°Cより低い低温化学蒸着付着プロセスによって行われる、請求項9に記載の方法。

【請求項11】前記拡散工程は、短時間アニール・プロ

セスを用いて行われる、請求項1に記載の方法。

【請求項12】前記短時間アニール・プロセスは、約30秒以下の期間、約850°C以上の温度の不活性ガス内で行われる請求項11に記載の方法。

【請求項13】エミッタ/ベースの表面高さの差は、前記エミッタ拡散接合深さの20%より小さい、請求項1に記載の方法。

【請求項14】前記隆起外部ベースを形成するときに、スペースペーサを用いる、請求項1に記載の方法。

【請求項15】隆起外部ベースを有するエピタキシャル・ベース・バイポーラ・トランジスタを製造する方法であつて、
単結晶半導体基板上に、少なくともエピタキシャル・シリコン層を成長させる工程と、
前記単結晶半導体基板の表面上に、隆起外部ベースを形成する工程と、
前記半導体基板の表面上に、隆起エミッタを形成する工程を含み、前記隆起エミッタは、少なくともその側壁に形成された絶縁材料を有し、前記絶縁材料は、前記隆起外部ベースを、前記隆起エミッタから電気的に絶縁し、
前記隆起エミッタおよび隆起外部ベースからドーパントを拡散して、前記単結晶半導体基板内に、エミッタ拡散部および外部ベース拡散部を与える工程を含み、前記エミッタ拡散部は、エミッタ拡散接合深さを有し、前記エミッタ拡散部は、前記単結晶半導体基板の表面上にまで延び、前記外部ベース拡散部は、前記単結晶半導体基板の表面上にまで延びる、方法。

【請求項16】前記エピタキシャル・シリコン層は、さらに、その表面上に形成されたGe層を含む、請求項15に記載の方法。

【請求項17】前記エピタキシャル・シリコン層を成長する工程の間に、ポリシリコン層を形成し、前記ポリシリコン層は、前記エピタキシャル・シリコン層に隣接して形成される、請求項15に記載の方法。

【請求項18】前記ポリシリコン層は、前記半導体基板内に形成された分離領域上に形成される、請求項17に記載の方法。

【請求項19】前記隆起外部ベースは、マンドレル上に、その場ドープトP⁺ポリシリコン層を形成する工程と、前記その場ドープトP⁺ポリシリコン層から、スペースペーサを形成する工程とによって形成される、請求項15に記載の方法。

【請求項20】前記隆起エミッタは、前記マンドレル内にトレチを形成する工程と、前記トレチの露出された側壁上に酸化物層を形成する工程と、前記トレチ内の前記酸化物層上に、窒化シリコン・スペーサを形成する工程と、全体構造上に、N⁺ドープト・ポリシリコンおよび窒化物層を付着する工程と、前記N⁺ドープト・ポリシリコンおよび前記窒化物層をパターニングして、前記隆起エミッタを形成する工程により形成される、

請求項19に記載の方法。

【請求項21】前記拡散工程は、短時間アニール・プロセスを用いて行われる、請求項15に記載の方法。

【請求項22】前記短時間アニール・プロセスは、約30秒以下の期間、約850°C以上の温度の不活性ガス内で行われる請求項21に記載の方法。

【請求項23】エミッタ/ベースの表面高さの差は、前記エミッタ接合深さの20%より小さい、請求項15に記載の方法。

【請求項24】隆起外部ベースを有するエピタキシャル・ベース・バイポーラ・トランジスタであって、単結晶半導体基板上のエピタキシャル・シリコン層と、前記半導体基板の表面上の隆起エミッタと、前記半導体基板の表面上の隆起外部ベースと、前記隆起エミッタと前記隆起外部ベースとの間の、スペーサである絶縁体と、前記半導体基板内に、エミッタ拡散部および外部ベース拡散部を与えるための、前記隆起エミッタおよび前記隆起外部ベースからの拡散とを備え、前記エミッタ拡散部は、エミッタ拡散接合深さを有し、前記隆起エミッタは、前記半導体基板の表面にまで延び、前記隆起外部ベースは、前記半導体基板の表面にまで延び、エミッタ/ベースの表面高さの差は、前記エミッタ拡散接合深さの20%より小さい、エピタキシャル・ベース・バイポーラ・トランジスタ。

【請求項25】前記隆起エミッタは、自己整合され、前記ベースに中心合わせされている、請求項24に記載のエピタキシャル・ベース・バイポーラ・トランジスタ。

【請求項26】自己整合されたベース/エミッタ構造を備え、ベース抵抗は、可変厚さの拡散ソースによって独立に調整され、ベース・キャパシタンスは、前記拡散ソースの厚さと真性ベース・エピタキシャル層の厚さとの組合せにより、独立して変えることのできる、バイポーラ接合トランジスタ。

【請求項27】前記拡散ソースは、前記真性ベース・エピタキシャル層に接触している、請求項26に記載のバイポーラ接合トランジスタ。

【請求項28】前記拡散ソースは、P⁺ドープされている、請求項26に記載のバイポーラ接合トランジスタ。

【請求項29】前記真性ベース・エピタキシャル層は、コレクタ領域上に形成される、請求項26に記載のバイポーラ接合トランジスタ。

【請求項30】前記真性ベース・エピタキシャル層は、自己整合され前記ベースに中心合わせされたエミッタを有する隆起層である、請求項26に記載のバイポーラ接合トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バイポーラ・トランジスタ、特に、隆起した外部ベースを有するエピタキ

シャル・ベース・バイポーラ・トランジスタと、その製造方法に関する。

【0002】

【従来の技術】バイポーラ・トランジスタの高いベース抵抗は、最小ノイズと電力利得カットオフ周波数との両方を劣化させる。ベース抵抗の主成分は、外部ベース抵抗である。外部ベース抵抗を低減させるには、エミッタに隣接するベース領域にイオンを打込むことが知られている。外部ベース抵抗を低減できるにもかかわらず、ベース領域のイオン打込みは、打込まれたドーパントの過渡増速拡散を生じさせ、これが真性ベースを拡げ、および真性ベース自身のみならずペデスタル打込み部を拡散させる。

【0003】打込み部の連続オーバラップを生じさせる追加の拡散幅は、高キャパシタンス・デバイスにつながる。さらに、この増大したキャパシタンスは、性能の劣った低速デバイスを生じさせることになる。

【0004】図1および図2(A)は、従来技術のバイポーラ・トランジスタを示しており、このバイポーラ・トランジスタでは、外部ベース領域が、イオン打込みおよび活性化アニールによって形成される。

【0005】特に、図1は、打込まれた外部ベース領域を用いる従来技術のシリコンゲルマニウム(SiGe)バイポーラ・デバイス10の断面図であり、図2(A)は、図1に示すデバイスの隆起部分の上面図である。

【0006】図1の従来技術のバイポーラ・デバイス10は、Si基板12(例えば、N形)内に形成されたサブコレクタ領域(例えば、N⁺ドープ)14を有している。基板は、また、コレクタ・コンタクト領域15と、分離領域16とを有している。シリコン(基板上の単結晶シリコンまたはエピタキシャル・シリコン、および分離領域上のポリシリコン)よりなるベース領域(たとえば、P形)18が、Si基板上に設けられている。ベース領域18は、真性ベース(Pドープ)領域18iと、外部ベース(Nドープ)領域18eとを有している。外部ベース領域は、Geリッチ層20の下の一定の深さまで、真性ベース領域を取囲んでいる。一般に、ポリシリコン/エピタキシャル領域、すなわちベース領域18の厚さは、約500~3000Åである。前述したように、ベース領域18内には、約250~1500Å厚さのGeリッチ層が、ベース領域の上部から50~500Å下のところに設けられている。

【0007】ベース領域の上には絶縁体22が設けられており、この絶縁体は、ベース領域の上部を露出させる開口を有している。この開口の上には、ポリシリコン・エミッタ(N⁺ドープ)24がオーバラップしている。エミッタ領域からドーパントが、ベース領域に拡散される。エミッタ領域を、誘電体スペーサ26と、エミッタ・ポリシリコン上に形成されたキャップ層とが、取囲んでいる。

【0008】シリコン基板内には、サブコレクタ領域からベース領域内に延びるが、分離領域には接触しないペデスタイル領域28 (N^+ ドープ) が設けられている。ベース領域の高濃度ドープト外部ベース領域が、横方向に延びて、ペデスタイル領域に接触する。図示したように、従来技術の打込み、および続く活性化アニールは、ペデスタイル領域とベース領域との間にオーバラップを生じさせる。

【0009】図2(A)に、抵抗に対する、外部ベース領域打込み部の結果を示す。エミッタ領域と外部ベース領域との間のミスマッチメントの抵抗への影響について言及する。これは、外部ベース領域打込み部のない図2(B)の状況と比較されなければならない。ベース領域の真性ベース部分は、約 $10000\Omega/\square$ の抵抗を有し、一方、外部ベース部分は、約 $200\Omega/\square$ の抵抗を有している。しかし、外部ベース領域が、ペデスタイル領域と接触する、または接近する場合には、キャパシタンスはPN接合と関係付けられる。以下の式(1)は、重要なパラメータ間の関係を示す。

【0010】

【数1】 $f_{max} \propto f_t / (R_B C_{CB})$ (1)
 ここに、 f_{max} は、電力利得がなお存在する最大周波数であり、 f_t は電流利得が1になる(ペデスタイル・ドーズが高くなるにつれて増大する)周波数であり、 R_B はベース抵抗であり且つ真性ベース抵抗と外部ベース抵抗との和であり、 C_{CB} はコレクタ/ベース・キャパシタンス(ペデスタイル・ドーズが高くなるにつれて増大する)である。

【0011】高性能を実現し、デバイスを縮小するためには、外部ベース抵抗を低く保ちながら、ペデスタイル・ドーズを増大させなければならない。現在のデバイスでは、このことは、イオン・ドーズが増大するので、難しい問題である。

【0012】前述した点から見て、ベース抵抗とデバイス・キャパシタンスとが減少するエピタキシャル・ベース・バイポーラ・トランジスタを形成できる新規で改良された方法を開発する必要性が存在する。新規な方法は、ベース領域へのイオン打込みの使用を避けなければならない。というのは、ベース領域へのイオン打込みの使用は、拡散領域のオーバラップと、増大したデバイス・キャパシタンスとを生じさせるからである。

【0013】

【発明が解決しようとする課題】本発明の目的は、低いベース抵抗を有し、キャパシタンスが増大しないエピタキシャル・ベース・バイポーラ・トランジスタを提供することにある。

【0014】本発明の他の目的は、最小のノイズと、電力利得カットオフ周波数とを有するエピタキシャル・ベース・バイポーラ・トランジスタを提供することにある。

【0015】本発明のさらに他の目的は、従来技術のバイポーラ・トランジスタに比べて、高速デバイス性能と増大したスイッチング速度とを有するエピタキシャル・ベース・バイポーラ・トランジスタを提供することにある。

【0016】本発明のさらに他の目的は、エミッタが自己整合され、ベースに対して中心合わせされたエピタキシャル・ベース・バイポーラ・トランジスタを提供することにある。

【0017】

【課題を解決するための手段】上記および他の目的および利点は、本発明では、隆起ベース構造を用いることにより、および外部ベースのための拡散ソースとして、ドープト・ポリシリコン層を利用して浅い外部ベース・プロファイルを与えることによって、実現される。

【0018】本発明の第1の態様によれば、イオン打込みによってドープされない隆起外部ベースを有するエピタキシャル・ベース・バイポーラ・トランジスタ・デバイスを作製する方法が提供される。

【0019】本発明の第1の方法では、ベース領域を形成する前にエミッタ領域を形成する。特に、本発明の第1の方法は、(a) 単結晶半導体基板上に、少なくともエピタキシャル・シリコン層を成長させる工程と、(b) 前記単結晶半導体基板の表面に、隆起エミッタを形成する工程とを含み、前記隆起エミッタは、少なくともその側壁に形成された絶縁材料を有し、(c) 前記単結晶半導体基板の表面に、隆起外部ベースを形成する工程を含み、前記隆起エミッタと隆起外部ベースとは、前記絶縁材料によって絶縁され、(d) 前記隆起エミッタおよび隆起外部ベースからドーパントを拡散して、前記単結晶半導体基板内に、エミッタ拡散部および外部ベース拡散部を与える工程を含み、前記エミッタ拡散部は、エミッタ拡散接合深さを有し、前記エミッタ拡散部は、前記単結晶半導体基板の表面にまで延び、前記外部ベース拡散部は、前記単結晶半導体基板の表面にまで延びる。

【0020】本発明の好適な一態様では、エミッタ/ベースの表面高さの差は、エミッタ接合深さの20%より小さい。

【0021】本発明の第2の方法は、エミッタ領域を形成する前に、隆起外部ベースを形成する。エミッタ領域を形成する前に、隆起外部ベースを形成することによって、エミッタは、自己整合され、ベースに対して中心合わせされる。特に、本発明の第2の方法は、(a) 単結晶半導体基板上に、少なくともエピタキシャル・シリコン層を成長させる工程と、(b) 前記単結晶半導体基板の表面に、隆起エミッタを形成する工程を含み、前記隆起エミッタは、少なくともその側壁に形成された絶縁材料を有し、前記絶縁材料は、前記隆

起外部ベースを、前記隆起エミッタから電気的に絶縁し、(d)前記隆起エミッタおよび隆起外部ベースからドーパントを拡散して、前記単結晶半導体基板内に、エミッタ拡散部および外部ベース拡散部を与える工程を含み、前記エミッタ拡散部は、エミッタ拡散接合深さを有し、前記エミッタ拡散部は、前記単結晶半導体基板の表面にまで延び、前記外部ベース拡散部は、前記単結晶半導体基板の表面にまで延びる。

【0022】本発明の第2の方法の好適な一態様では、エミッタ/ベースの表面高さの差は、エミッタ接合深さの20%より小さい。

【0023】本発明の他の態様によれば、隆起外部ベースを有する真性ベース・バイポーラ・トランジスタが提供される。本発明のバイポーラ・トランジスタは、単結晶半導体基板上のエピタキシャル・シリコン層と、前記半導体基板の表面上の隆起エミッタと、前記半導体基板の表面上の隆起外部ベースと、前記隆起エミッタと前記隆起外部ベースとの間の、スペーサである絶縁体と、前記半導体基板内に、エミッタ拡散部および外部ベース拡散部を与えるための、前記隆起エミッタおよび前記隆起外部ベースからの拡散とを備え、前記エミッタ拡散部は、エミッタ拡散接合深さを有し、前記隆起エミッタは、前記半導体基板の表面にまで延び、前記隆起外部ベースは、前記半導体基板の表面にまで延び、エミッタ/ベースの表面高さの差は、前記エミッタ拡散接合深さの20%より小さい。

【0024】本発明の一実施例では、隆起エミッタは、自己整合され、前記ベースに中心合わせされている。

【0025】本発明の他の態様は、構造中に組込みの抵抗/キャパシタンス調整を有するバイポーラ接合トランジスタを提供する。特に、本発明のバイポーラ接合トランジスタは、自己整合されたベース/エミッタ構造を備え、ベース抵抗は、可変厚さの拡散ソースによって独立に調整され、ベース・キャパシタンスは、前記拡散ソースの厚さと真性ベース・エピタキシャル層の厚さとの組合せにより、独立して変えることができる。

【0026】

【発明の実施の形態】隆起した外部ベース領域を有するエピタキシャル・ベース・バイポーラ・トランジスタと、その製造方法とを提供する本発明を、図面を参照しながら詳細に説明する。図面において、同一および対応する要素は、同一の参考番号で示されていることに留意すべきである。

【0027】まず、図3について説明するが、図3は、本発明の第1の方法を用いて形成されたエピタキシャル・ベース・バイポーラ・トランジスタの1つの可能な構造を示す断面図である。図4は、図3に示した構造の上面図である。特に、図3に示すデバイス50は、分離領域（例えば、浅いトレンチ分離領域）56を含む単結晶半導体基板（例えば、N形Si基板）54内に、サブコ

レクタ（例えば、N⁺ドープ）52を有している。シリコン（シリコン基板上のエピタキシャルSiおよび分離領域上のポリシリコン）よりなるベース領域（例えば、P形）58が、基板の表面上に設けられている。ベース領域は、真性（Pドープ）領域58iと外部（P⁺ドープ）領域58eとを形成するための領域を有している。

【0028】一般に、ベース領域の厚さは、約500～約3000Åである。ベース領域内に、約250～約1500Åの厚さを有するGeリッチ層60が、ベース領域58の上部から約50～約500Å下のところに設けられている。ベース領域上に、ベース領域のシリコンを露出させる開口を有する絶縁体62が設けられている。この開口には、ポリシリコン・エミッタ（N⁺ドープ）領域64が、オーバラップされている。エミッタ領域64は、絶縁体すなわち誘電体により作られたキャップ層65を有している。エミッタ領域からドーパントが、ベース領域に拡散する。外部ベース領域は、Geリッチ層よりも深くない一定の深さにあるが、真性ベース領域とエミッタ領域とを取囲んでいる。また、外部ベース領域は、絶縁体スペーサによって、エミッタ領域から分離されているが、エミッタ領域の大部分を取囲んでいる。Si基板内では、ペデスタル領域（N⁺ドープ）68が、サブコレクタからベース領域内に延びているが、分離領域には接触しない。

【0029】本発明によれば、ベース領域58は、基板54の表面まで延びる隆起ベース領域である。さらに、本発明のバイポーラトランジスタは、隆起エミッタ領域および隆起外部ベース領域からの拡散を含んでいる。この拡散は、構造内にエミッタ拡散領域と外部ベース拡散領域とを有する。本発明のバイポーラ・トランジスタは、さらに、エミッタ接合深さを有するエミッタ拡散領域を有し、エミッタは、基板54の表面にまで延びることを特徴としている。さらに、本発明のバイポーラ・トランジスタは、エミッタ接合の20%より小さい、エミッタ/ベース表面高さの差を有することを特徴としている。

【0030】図5～図11は、図3に示される構成を形成するのに用いられる種々の処理工程を示す。前述したように、本発明の第1の方法は、外部ベース領域を形成する前に、エミッタ領域を形成する。まず、本発明において用いられる初期構造50を示す図5を参照する。特に、図5に示す初期構造は、分離領域56と、サブコレクタ52と、サブコレクタ・コンタクト57と、ペデスタル領域68とを含むSi基板54を有している。この初期構造は、技術上周知の従来の処理方法を用いて作製される。したがって、処理方法の詳細な説明は、ここでは行わない。

【0031】化学蒸着（CVD）プロセスを用いて、Si基板の表面上に、ポリシリコン真性ベース領域58iを、エピタキシャルに成長させる。真性ベース領域は、

約500～約3000Åの厚さを有しており、P形ドーパントで真性的に(*intrinsically*)ドープされる。本発明の真性ベース領域は、また、前述した厚さを有するGeリッチ層60を含んでいる。

【0032】真性ベース層を成長させた後、薄い酸化物層59を、続いて薄い窒化物層61を、成長した真性ベース層上に形成する。二重(*dual*)誘電体層を形成する酸化物層および窒化物層は、CVD、プラズマ励起CVD、化学溶液付着、および他の同様の付着プロセスを含む(これらに限定されない)同一または異なる付着プロセスを用いて形成される。酸化物層は、約50～約200Åの厚さを有している。一方、窒化物層は約100～約500Åの厚さを有している。本発明では、窒化物層61の代わりに、酸化物層59と同じまたは異なる酸化物層を用いることもできる。

【0033】次に、二重誘電体層、すなわち酸化物層59および窒化物層61に、通常のリソグラフィと、反応性イオン・エッティング(RIE)のようなエッティングとを用いて、開口を形成し、真性ベース層を露出させる。そこには、続いてエミッタが形成される。次に、ポリシリコン層64がCVDのような普通の付着プロセスによって形成され、続いて、通常のイオン打込みプロセスを用いて、N形ドーパントでドープされる。次に、窒化物または酸化物で構成できる層65が、通常の付着プロセスを用いて、ポリシリコン層63の上部に形成され、続いて、窒化物層61およびエミッタ・ポリシリコンをエッティングして、隆起エミッタ領域を形成する。

【0034】次に、500～1000Åの窒化物を付着し、付着された窒化物を、酸化物に対して選択的なプロセスで反応性イオン・エッティングして、側壁スペーサ66をエミッタ領域上に形成する(図6参照)。

【0035】図7において、スペーサ66によって被覆されない酸化物層59が、通常のウェット・エッティング・プロセスによって除去される。隆起外部ベース領域を形成するには、CVDのような通常のその場(*in-situ*)ドーピング付着プロセスによって、P⁺ポリシリコン膜70(図8参照)を付着する。その場ドーピング付着プロセスは、低温で、すなわち550°C以下の温度で、ポリシリコンを付着することができる。本発明によれば、P⁺ポリシリコンは、約5000～約30000Åの厚さを有し、1×10¹⁹cm⁻³以上のオーダのドーパント濃度を有するように、高濃度ドープされる。本発明のこの工程で用いられるP⁺ポリシリコン膜は、Geを含む、あるいは含まないようにすることができる。

【0036】P⁺ポリシリコン膜を形成するのに用いられる低温付着プロセスは、既存の膜、すなわちSiGeベース層へのドーパント拡散を低減させることに留意すべきである。

【0037】図9は、ポリシリコン層が反応性イオン・エッティングされて、エミッタ領域の周囲にポリシリコン

側壁72が形成された後の本発明のバイポーラ・トランジスタ構造を示す。本発明のこの工程で作成されたポリシリコン側壁72は、本発明のバイポーラ・トランジスタの隆起外部ベース領域を形成するのに用いられることに留意すべきである。

【0038】図10において、通常のフォトレジスト・マスク74が、外部ベース領域を画定するように構造上に形成され、および技術上周知の通常のエッティング・プロセスを用いて、露出したベース領域のすべての部分が構造から除去され、分離領域を露出させる。このエッティング工程の後に、フォトレジスト・マスクが、通常の剥離プロセスを用いて除去される。

【0039】図11は、エッティングし、続いてフォトレジスト・マスクを除去した後の構造を示している。次に、図11の構造は、短時間アニール工程にさらされる。この短時間アニールは、エミッタ領域のN⁺ドーパントを拡散し、活性化させて、真性ベース領域内に、ベース・エミッタ接合に対し一定の深さまで注入するために用いられる。このアニール工程は、図3に示される構造を与える。本発明によれば、短時間アニール・プロセスは、約850°Cより大きい温度で、約30秒より短い時間、N₂またはArのような不活性ガス中で行われる。上述した条件を用いて、真性ベース領域の上面の下、約50～約500Åの深さに、真性ベース領域内にドーパントが注入される。

【0040】短時間アニール・プロセスは、また、外部ベース領域から、P⁺ホウ素ドーパントを、真性ベース領域内に注入する。P⁺ポリシリコンからの外部ベース外方拡散部は、真性ベース領域からのその場ドープされたホウ素に接触する。本発明では、外部ベース領域の形成にイオン打込みは用いられないで、ドーパントの過渡的増速拡散は生じない。したがって、バイポーラ・トランジスタのキャパシタンスを、減少させる。

【0041】図12および図13は、本発明の第1の方針の他の実施例を示す。この実施例では、図8の構造に到るまでの処理が最初に行われた後、すなわち、外部ベース・ポリシリコンの付着が完了した後の、上述した処理工程とは異なる。スペーサの反応性イオン・エッティング処理を行って、図13に示されるスーパースペーサ80を形成する。特に、スーパースペーサは、図8に示す構造上に、P⁺誘電体材料80を最初に付着して、図12に示す構造を形成した後、誘電体材料およびベース領域の部分を選択的にエッティングする。このことは、図10におけるような追加のマスキング工程を省略する。スペーサのエッティングに続いて、短時間アニールを行い、第1の実施例で説明したように、エミッタ領域およびベース領域においてドーパントを移動する。

【0042】図14～図26は、本発明の第2の実施例を示す図である。前述したように、本発明の第2の方法は、エミッタ領域を形成する前に、外部ベース領域を形

成する。さらに、本発明の第2の方法を用いる場合、バイポーラ・トランジスタは、自己整合されてベース領域に中心合わせされたエミッタ領域を有している。

【0043】まず、図14を参照する。図14は、本発明の第2の方法に用いられる初期構造を示している。特に、図14に示す初期構造は、基板54の表面上に形成された埋め込みGeリッチ層60を含むエピタキシャル／ポリシリコン・ベース層58を有している。基板は、サブコレクタ領域52、サブコレクタ・コンタクト57、分離領域56を有している。本発明によれば、図14に示したように、分離領域は、酸化物層108および塗化物層106によって保護されている。また、コレクタ・コンタクト領域内の塗化物の下に酸化物層104が存在する。図14に示される構造は、当業者に周知の処理方法を用いて作製される。したがって、処理方法に関する説明は、ここでは行わない。

【0044】コレクタ領域上には、マンドレル(mandrel)110が、粗く中心合わせされている。マンドレルは、酸化物層112、塗化シリコン層114、テトラエチルオルトリシケート(TEOS)層116から形成されている。マンドレルは、前記層の各々を連続的に付着することにより形成され、その後、付着されたマンドレル層は、通常のリソグラフィおよびエッティングによって、パターニングされる。マンドレルを構成する個々の層の厚さは、変更でき、本発明にとっては重要ではない。

【0045】図15は、構造上にその場ドープされたP⁺ポリシリコン層118の形成を示す。その場ドープ層は、通常のプロセスによって形成され、少なくとも1000Åの厚さを典型的に有している。

【0046】図16は、RIEプロセスを行って広いスベースペーサ120を形成した後の構造を示す。本発明のこの工程で用いられるRIEプロセスは、酸化物上のポリシリコンに対して選択的になるように構成されている。

【0047】図17において、TEOS層116は、通常のウェット・エッティング・プロセスを用いることによって、塗化物層114上で停止するようにして、選択的にエッティングされて、構造内にトレチ115を形成する。図18は、約700～約1000Åの厚さを有する酸化物層122が、P⁺ポリシリコン層上に形成された後の構造を示している。この酸化物層は、高圧酸化処理を用いることによって、典型的に形成される。

【0048】図19は、塗化シリコン層124を付着し、この塗化シリコン層を、酸化物に対して選択的なスベースRIEプロセスによってエッティングして、構造上に塗化物スペーサ124を形成する。本発明の第2の方法のこの工程の間に、トレチの底部にある塗化シリコンが除去されることに留意すべきである。

【0049】次に、トレチ115の底部の酸化物層1

12は、図18において成長した酸化物を完全に除去することなく、通常のウェット・エッティング・プロセスを用いることによって除去され、図20に示す構造を与える。図21は、N⁺(As)ドープト・ポリシリコンよりなる厚い層126(1500Å以上のオーダー)が付着され、続いて薄い塗化シリコンのキャップ層128が形成された後の構造を示す。

【0050】図22に示すように、図21で形成された塗化シリコン・キャップおよびN⁺ドープト・ポリシリコンの部分をエッティングすることによって、エミッタ領域130が形成される。本発明の工程において用いられるエッティング工程は、上記材料に対して選択的であり、図18において成長した酸化物層上で停止する。

【0051】エミッタ領域130の形成に続いて、約200～約500Åの厚さを有する塗化シリコン層が、通常の手段によって付着され、酸化物に対して選択的なRIEプロセスを実行して、エミッタ領域の露出表面に塗化物スペーサ132を形成する。上記工程は、図23に示されている。

【0052】図24は、酸化物層122の一部が、RIEのような通常のエッティング・プロセスを用いて除去された後の構造を示す。次に、図25に示すように、フォトレジストを付着し、リソグラフィによってパターニングして、パターニングされたフォトレジスト134を与える。その後、RIEプロセスを用いて、外部ベース領域を画定する。続いて、短時間アニールを行う。短時間アニールによって、エミッタ・ベースを形成し、エミッタにおいてドーパントを移動させる。

【0053】図26は、通常のシリサイド・プロセスを用いて、構造内にシリサイド領域136を形成した後の構造を示す。

【0054】本発明のバイポーラ・トランジスタ構造は、このバイポーラ・トランジスタ構造を作製するのに、いずれの方法が用いられるかとは関係なく、従来技術による構造よりも低いコレクタ／ベース・キャパシタンスを有し、およびペデスタイル領域を高濃度にドープできるので、より高いf_tを有し、したがってより高いf_{max}を実現することができるこことを強調しておく。

【0055】本発明は、また、組込まれた抵抗／キャパシタンス調整を有するバイポーラ接合トランジスタを提供する。特に、本発明のバイポーラ接合トランジスタは、自己整合されたベース／エミッタ構造を有する。このベース／エミッタ構造では、ベース抵抗は、可変厚さの拡散ソースによって独立に調整され、およびベース・キャパシタンスは、拡散ソースの厚さと真性ベース・エピタキシャル層の厚さとの組合せにより、独立に変えることができる。

【0056】P⁺拡散ソース(図11の72)と選択的に打込まれたコレクタ(図3の68)との間の外部ベース／コレクタ・キャパシタンス(図3にキャパシタとし

て概略的に示される)を、エピタキシャル・ベース領域(図3の層58)を厚くする、またはP⁺拡散ソースからのP⁺ドーパントの拡散を浅くすることによって、変調することができる。これら2つの変数は独立に調整できるので、ベース/コレクタ・キャパシタンスを低減し、デバイス性能を増大させることができる。

【0057】大半の従来のSiGeプロセス・フローでは、エピタキシャル・ベース領域の厚さは、本発明におけるようにベース/コレクタ・キャパシタンスを変調する能力を許容しない他のプロセスの拘束(選択エピタキシーのような)によって制限される。

【0058】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) 隆起外部ベースを有するエピタキシャル・ベース・バイポーラ・トランジスタを製造する方法であって、単結晶半導体基板上に、少なくともエピタキシャル・シリコン層を成長させる工程と、前記単結晶半導体基板の表面に、隆起エミッタを形成する工程とを含み、前記隆起エミッタは、少なくともその側壁に形成された絶縁材料を有し、前記単結晶半導体基板の表面に、隆起外部ベースを形成する工程を含み、前記隆起エミッタと隆起外部ベースとは、前記絶縁材料によって絶縁され、前記隆起エミッタおよび隆起外部ベースからドーパントを拡散して、前記単結晶半導体基板内に、エミッタ拡散部および外部ベース拡散部を与える工程を含み、前記エミッタ拡散部は、エミッタ拡散接合深さを有し、前記エミッタ拡散部は、前記単結晶半導体基板の表面にまで延び、前記外部ベース拡散部は、前記単結晶半導体基板の表面にまで延びる、方法。

(2) 前記エピタキシャル・シリコン層は、さらに、その表面に形成されたGe層を含む、上記(1)に記載の方法。

(3) 前記エピタキシャル・シリコン層を成長する工程の間に、ポリシリコン層を形成し、前記ポリシリコン層は、前記エピタキシャル・シリコン層に隣接して形成される、上記(1)に記載の方法。

(4) 前記ポリシリコン層は、前記半導体基板内に形成された分離領域上に形成される、上記(3)に記載の方法。

(5) 前記エピタキシャル・シリコン層は、約500～約3000Åの厚さを有する、上記(1)に記載の方法。

(6) 前記絶縁材料は、少なくとも、酸化物、または酸化物と窒化物との組合せを含む、上記(1)に記載の方法。

(7) 前記隆起エミッタは、前記絶縁体材料内にエミッタ開口を設け、前記エミッタ開口内に真性ポリシリコンを付着し、前記付着された真性ポリシリコン上に酸化物層または窒化物層を設けることによって形成される、上記(1)に記載の方法。

(8) 前記隆起エミッタは、その側壁に形成されたスペースを有する、上記(1)に記載の方法。

(9) 前記隆起外部ベースは、前記隆起エミッタを取り囲むようにしてP⁺ポリシリコン層を付着し、前記付着されたポリシリコンをエッチングして画定することによって形成される、上記(1)に記載の方法。

(10) 前記P⁺ポリシリコン層の付着は、温度が550℃より低い低温化学蒸着付着プロセスによって行われる、上記(9)に記載の方法。

(11) 前記拡散工程は、短時間アニール・プロセスを用いて行われる、上記(1)に記載の方法。

(12) 前記短時間アニール・プロセスは、約3.0秒以下の期間、約850℃以上の温度の不活性ガス内で行われる上記(11)に記載の方法。

(13) エミッタ/ベースの表面高さの差は、前記エミッタ拡散接合深さの20%より小さい、上記(1)に記載の方法。

(14) 前記隆起外部ベースを形成するときに、スーパースペーサを用いる、上記(1)に記載の方法。

(15) 隆起外部ベースを有するエピタキシャル・ベース・バイポーラ・トランジスタを製造する方法であって、単結晶半導体基板上に、少なくともエピタキシャル・シリコン層を成長させる工程と、前記単結晶半導体基板の表面に、隆起外部ベースを形成する工程と、前記半導体基板の表面に、隆起エミッタを形成する工程を含み、前記隆起エミッタは、少なくともその側壁に形成された絶縁材料を有し、前記絶縁材料は、前記隆起外部ベースを、前記隆起エミッタから電気的に絶縁し、前記隆起エミッタおよび隆起外部ベースからドーパントを拡散して、前記単結晶半導体基板内に、エミッタ拡散部および外部ベース拡散部を与える工程を含み、前記エミッタ拡散部は、エミッタ拡散接合深さを有し、前記エミッタ拡散部は、前記単結晶半導体基板の表面にまで延び、前記外部ベース拡散部は、前記単結晶半導体基板の表面にまで延びる、方法。

(16) 前記エピタキシャル・シリコン層は、さらに、その表面に形成されたGe層を含む、上記(15)に記載の方法。

(17) 前記エピタキシャル・シリコン層を成長する工程の間に、ポリシリコン層を形成し、前記ポリシリコン層は、前記エピタキシャル・シリコン層に隣接して形成される、上記(15)に記載の方法。

(18) 前記ポリシリコン層は、前記半導体基板内に形成された分離領域上に形成される、上記(17)に記載の方法。

(19) 前記隆起外部ベースは、マンドレル上に、その場ドープトP⁺ポリシリコン層を形成する工程と、前記その場ドープトP⁺ポリシリコン層から、スーパースペーサを形成する工程とによって形成される、上記(15)に記載の方法。

(20) 前記隆起エミッタは、前記マンドレル内にトレーニチを形成する工程と、前記トレーニチの露出された側壁上に酸化物層を形成する工程と、前記トレーニチ内の前記酸化物層上に、窒化シリコン・スペーサを形成する工程と、全体構造上に、 N^+ ドープト・ポリシリコンおよび窒化物層を付着する工程と、前記 N^+ ドープト・ポリシリコンおよび前記窒化物層をバターニングして、前記隆起エミッタを形成する工程とにより形成される、上記(19)に記載の方法。

(21) 前記拡散工程は、短時間アニール・プロセスを用いて行われる、上記(15)に記載の方法。

(22) 前記短時間アニール・プロセスは、約30秒以下の期間、約850°C以上の温度の不活性ガス内で行われる上記(21)に記載の方法。

(23) エミッタ/ベースの表面高さの差は、前記エミッタ接合深さの20%より小さい、上記(15)に記載の方法。

(24) 隆起外部ベースを有するエピタキシャル・ベース・バイポーラ・トランジスタであって、単結晶半導体基板上のエピタキシャル・シリコン層と、前記半導体基板の表面上の隆起エミッタと、前記半導体基板の表面上の隆起外部ベースと、前記隆起エミッタと前記隆起外部ベースとの間の、スペーサである絶縁体と、前記半導体基板内に、エミッタ拡散部および外部ベース拡散部を与えるための、前記隆起エミッタおよび前記隆起外部ベースからの拡散とを備え、前記エミッタ拡散部は、エミッタ拡散接合深さを有し、前記隆起エミッタは、前記半導体基板の表面にまで延び、前記隆起外部ベースは、前記半導体基板の表面にまで延び、エミッタ/ベースの表面高さの差は、前記エミッタ拡散接合深さの20%より小さい、エピタキシャル・ベース・バイポーラ・トランジスタ。

(25) 前記隆起エミッタは、自己整合され、前記ベースに中心合わせされている、上記(24)に記載のエピタキシャル・ベース・バイポーラ・トランジスタ。

(26) 自己整合されたベース/エミッタ構造を備え、ベース抵抗は、可変厚さの拡散ソースによって独立に調整され、ベース・キャパシタンスは、前記拡散ソースの厚さと真性ベース・エピタキシャル層の厚さとの組合せにより、独立して変えることのできる、バイポーラ接合トランジスタ。

(27) 前記拡散ソースは、前記真性ベース・エピタキシャル層に接触している、上記(26)に記載のバイポーラ接合トランジスタ。

(28) 前記拡散ソースは、 P^+ ドープされている、上記(26)に記載のバイポーラ接合トランジスタ。

(29) 前記真性ベース・エピタキシャル層は、コレクタ領域上に形成される、上記(26)に記載のバイポーラ接合トランジスタ。

(30) 前記真性ベース・エピタキシャル層は、自己整

合され前記ベースに中心合わせされたエミッタを有する隆起層である、上記(26)に記載のバイポーラ接合トランジスタ。

【図面の簡単な説明】

【図1】打込まれた外部ベース領域を有する従来技術のシリコンゲルマニウム(SiGe)バイポーラ・デバイスの断面図である。

【図2】図1のベース領域の上面図であり、(A)はイオン打込みによる外部ベース領域を、(B)はイオン打込みによらない外部ベース領域を示す。

【図3】本発明の第1の方法によって形成された本発明のバイポーラ・トランジスタの断面図である。

【図4】図3のバイポーラ・トランジスタのベース領域の上面図である。

【図5】図3に示す構造を形成するのに用いられる本発明の第1の方法の第1の実施例を説明する図である。

【図6】図3に示す構造を形成するのに用いられる本発明の第1の方法の第1の実施例を説明する図である。

【図7】図3に示す構造を形成するのに用いられる本発明の第1の方法の第1の実施例を説明する図である。

【図8】図3に示す構造を形成するのに用いられる本発明の第1の方法の第1の実施例を説明する図である。

【図9】図3に示す構造を形成するのに用いられる本発明の第1の方法の第1の実施例を説明する図である。

【図10】図3に示す構造を形成するのに用いられる本発明の第1の方法の第1の実施例を説明する図である。

【図11】図3に示す構造を形成するのに用いられる本発明の第1の方法の第1の実施例を説明する図である。

【図12】本発明の第1の方法の第2の実施例を説明する図である。

【図13】本発明の第1の方法の第2の実施例を説明する図である。

【図14】本発明の第2の方法を説明する図である。

【図15】本発明の第2の方法を説明する図である。

【図16】本発明の第2の方法を説明する図である。

【図17】本発明の第2の方法を説明する図である。

【図18】本発明の第2の方法を説明する図である。

【図19】本発明の第2の方法を説明する図である。

【図20】本発明の第2の方法を説明する図である。

【図21】本発明の第2の方法を説明する図である。

【図22】本発明の第2の方法を説明する図である。

【図23】本発明の第2の方法を説明する図である。

【図24】本発明の第2の方法を説明する図である。

【図25】本発明の第2の方法を説明する図である。

【図26】本発明の第2の方法を説明する図である。

【符号の説明】

50 デバイス

52 サブコレクタ

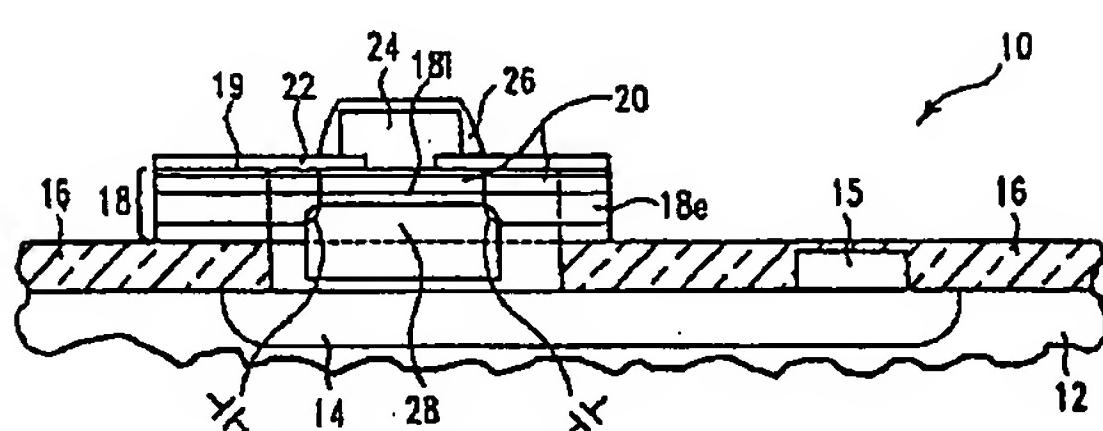
54 単結晶半導体基板

56 分離領域

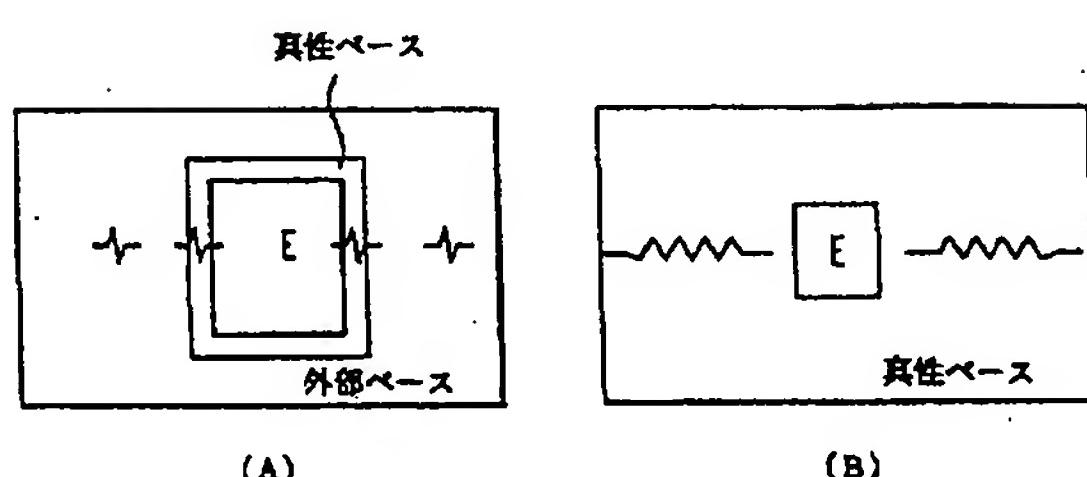
57 サブコレクタ・コンタクト
 58 ベース領域
 58i 真性ベース領域
 58e 外部ベース領域
 59, 108, 112, 122 酸化物層
 60 Geリッチ層
 61, 106 窒化物層
 62 絶縁体
 64, 130 エミッタ領域
 65 キャップ層
 66 側壁スペーサ

68 ペデスタル領域
 70 P⁺ ポリシリコン膜
 72 ポリシリコン膜
 80, 120 スーパースペーサ
 110 マンドレル
 114 窒化シリコン層
 116 TEOS層
 118 P⁺ ポリシリコン層
 132 窒化物スペーサ
 134 フォトレジスト
 136 シリサイド領域

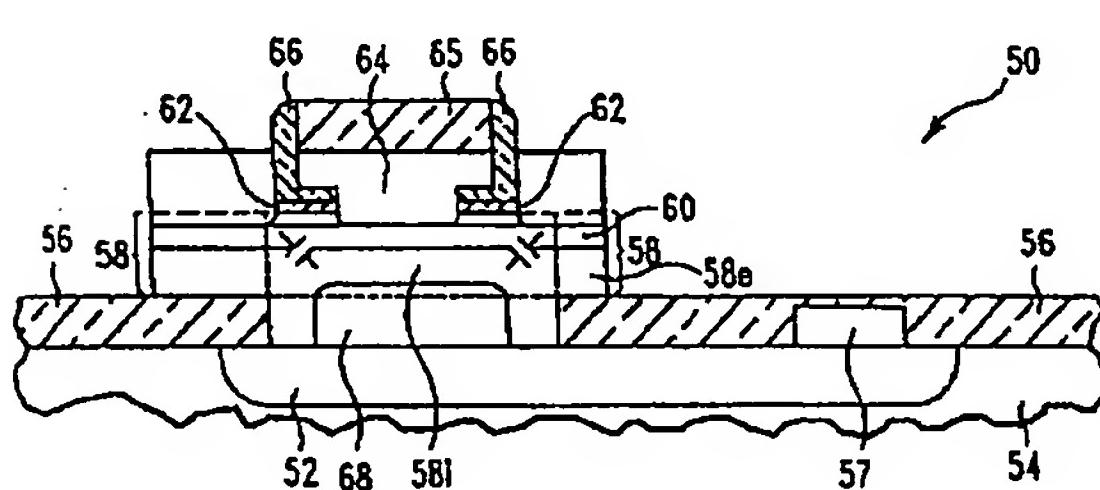
【図1】



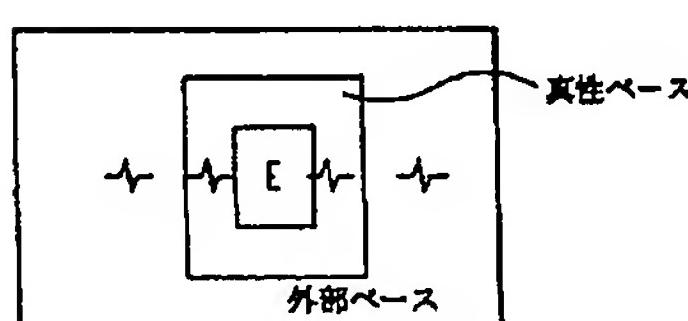
【図2】



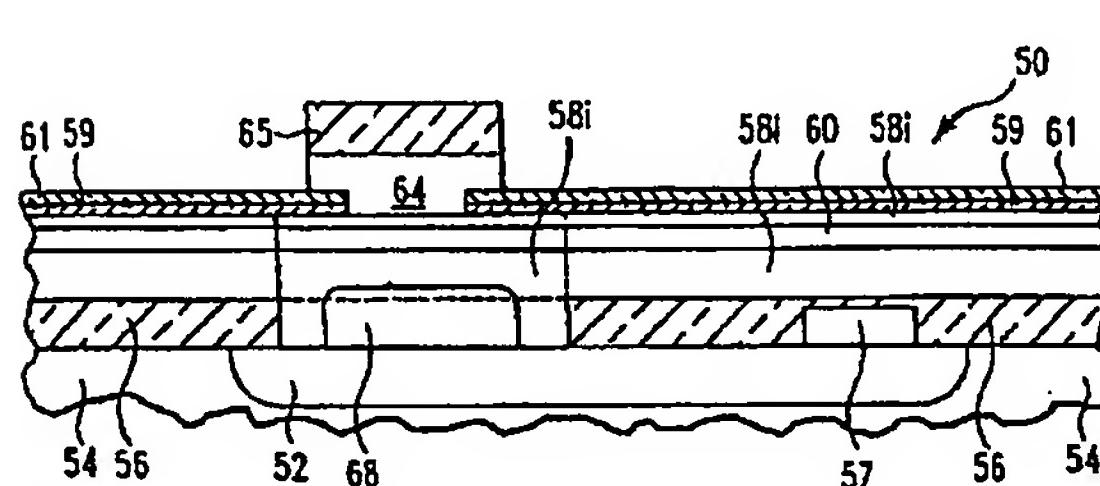
【図3】



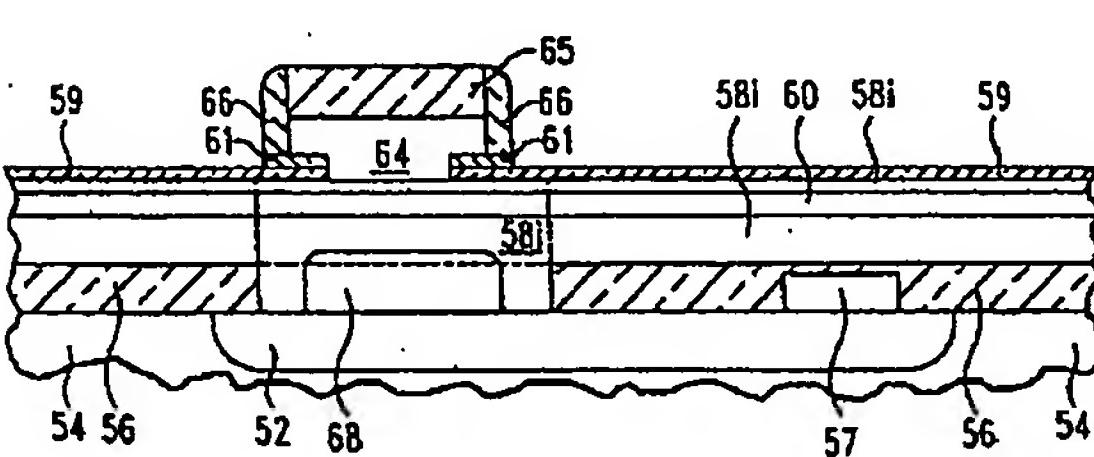
【図4】



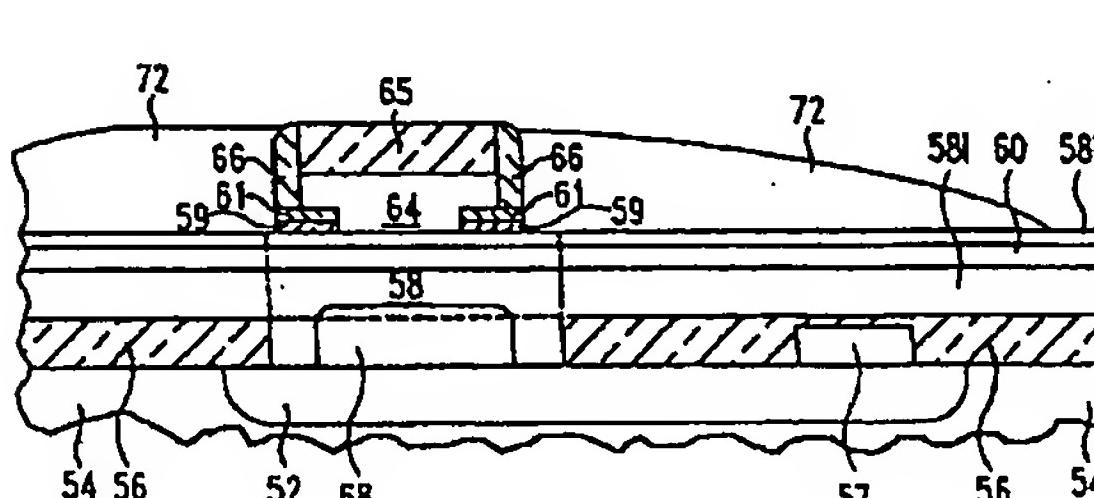
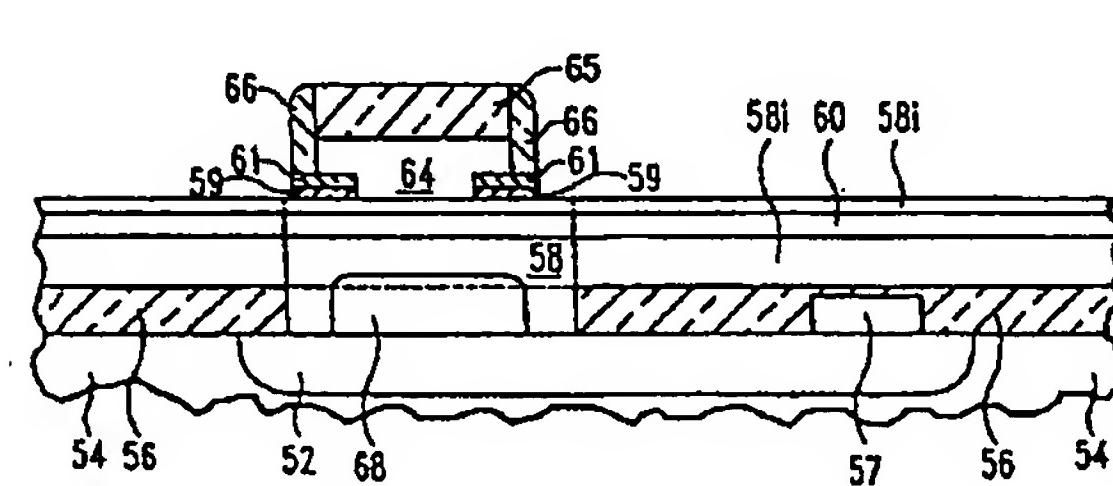
【図5】



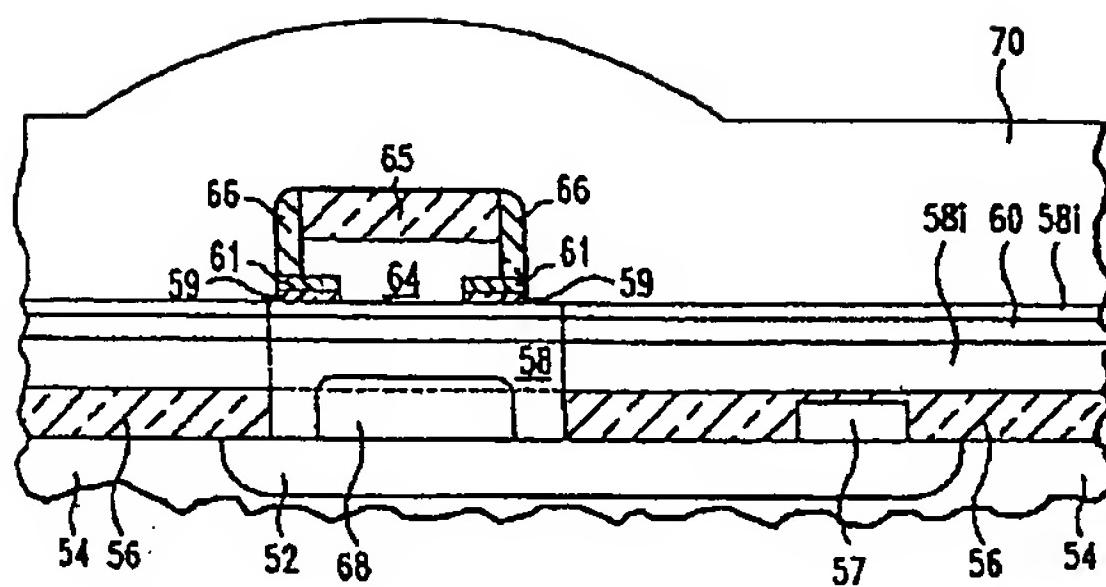
【図6】



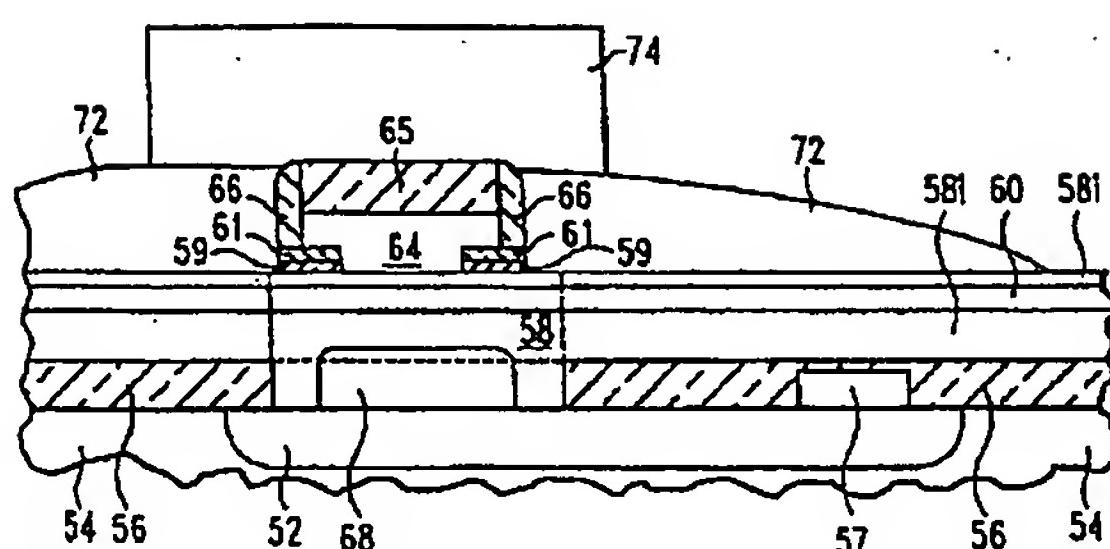
【図7】



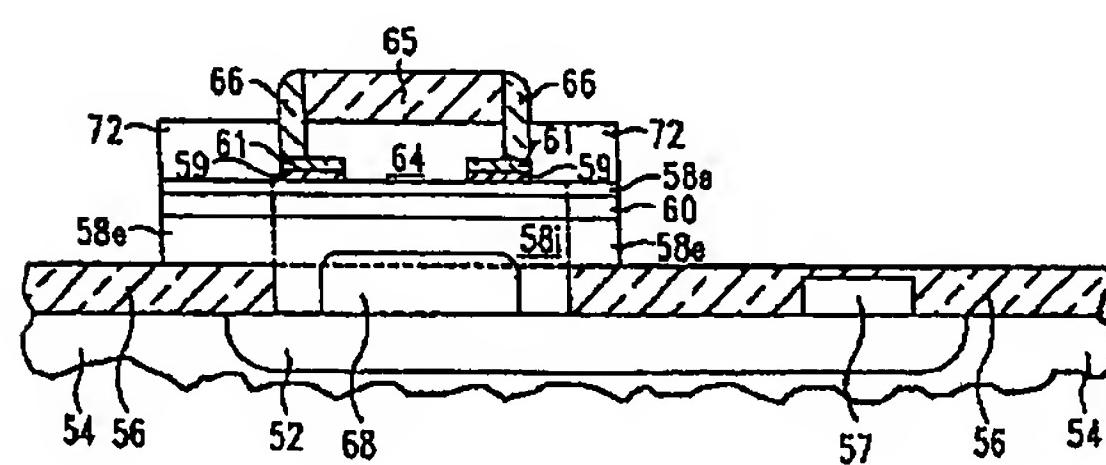
【図8】



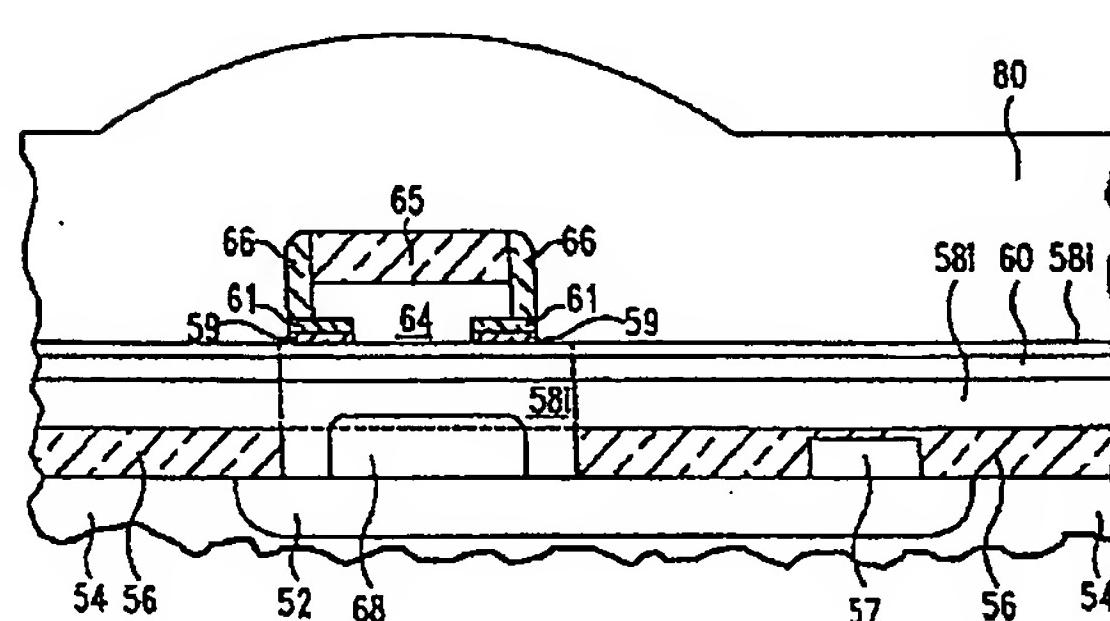
【図10】



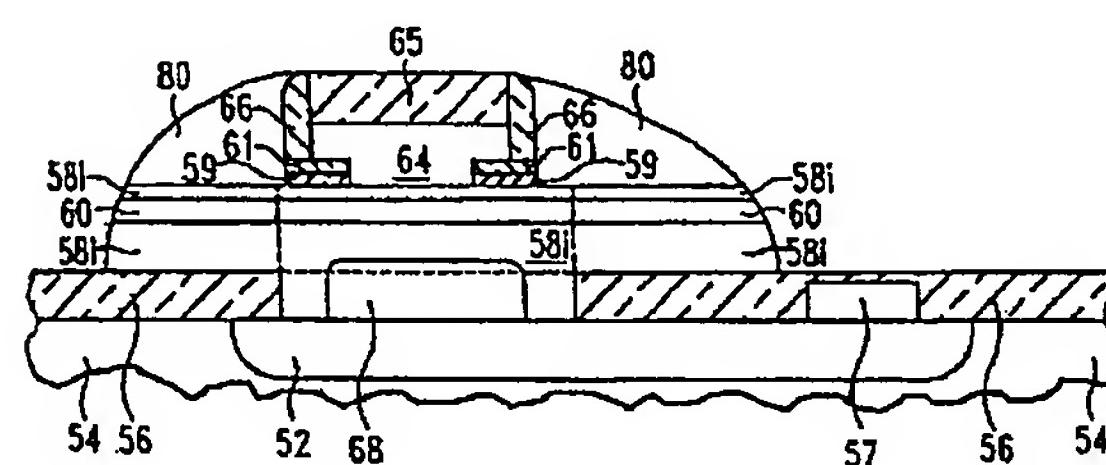
【図11】



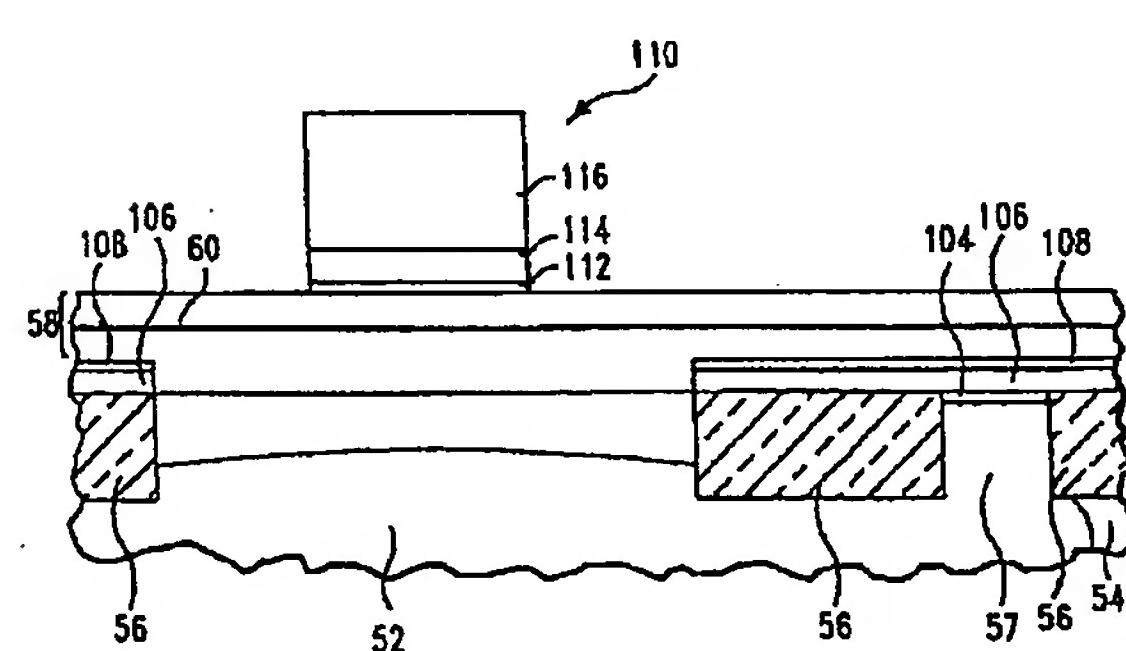
【図12】



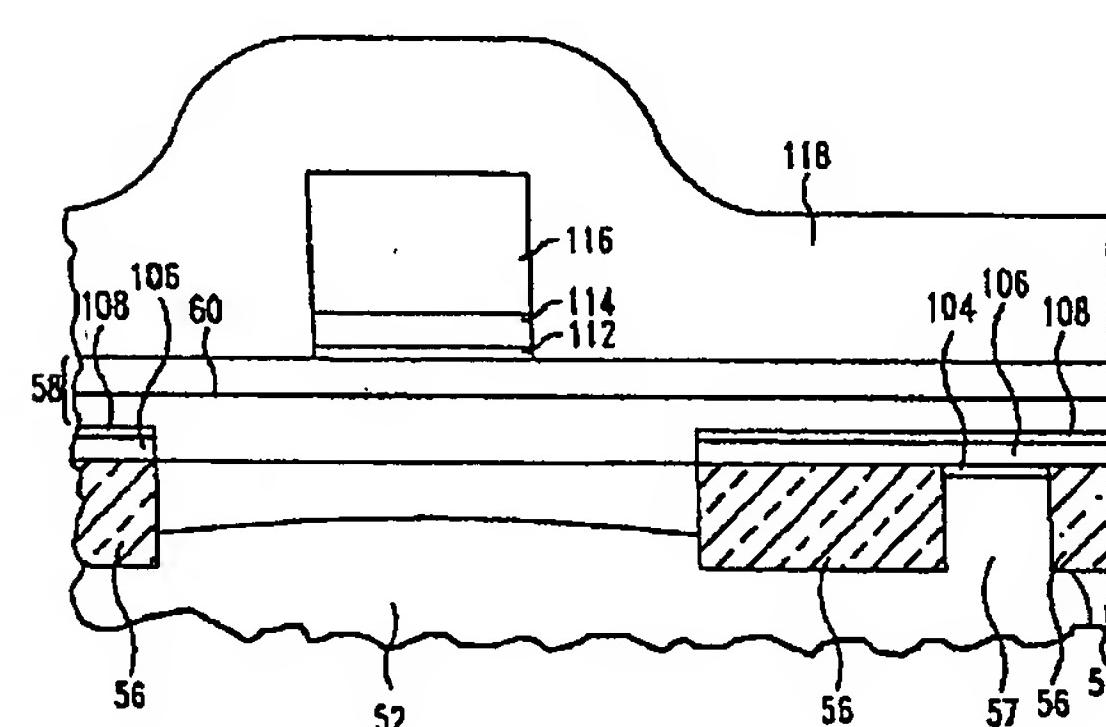
【図13】



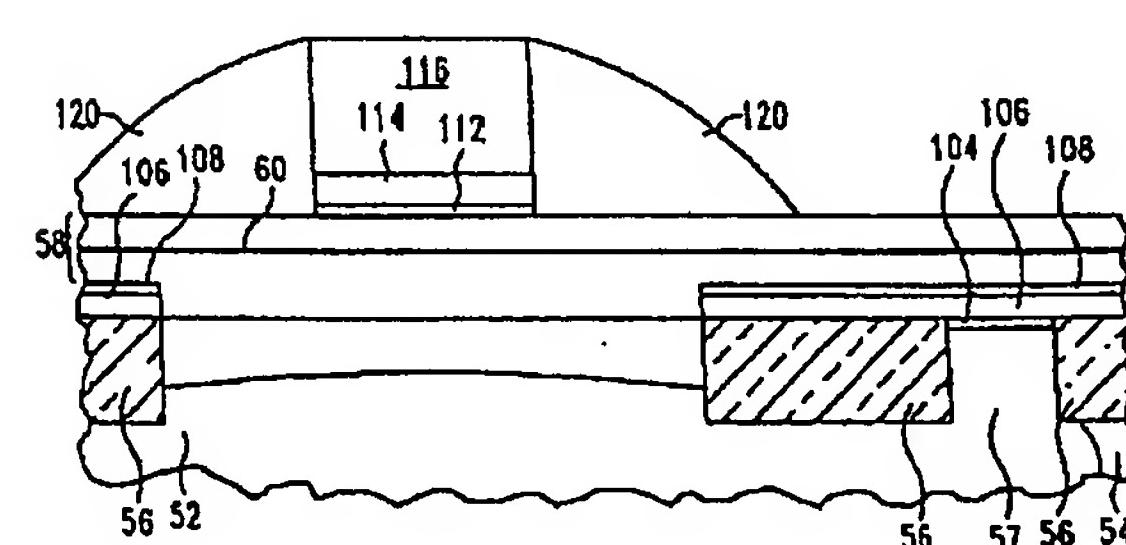
【図14】



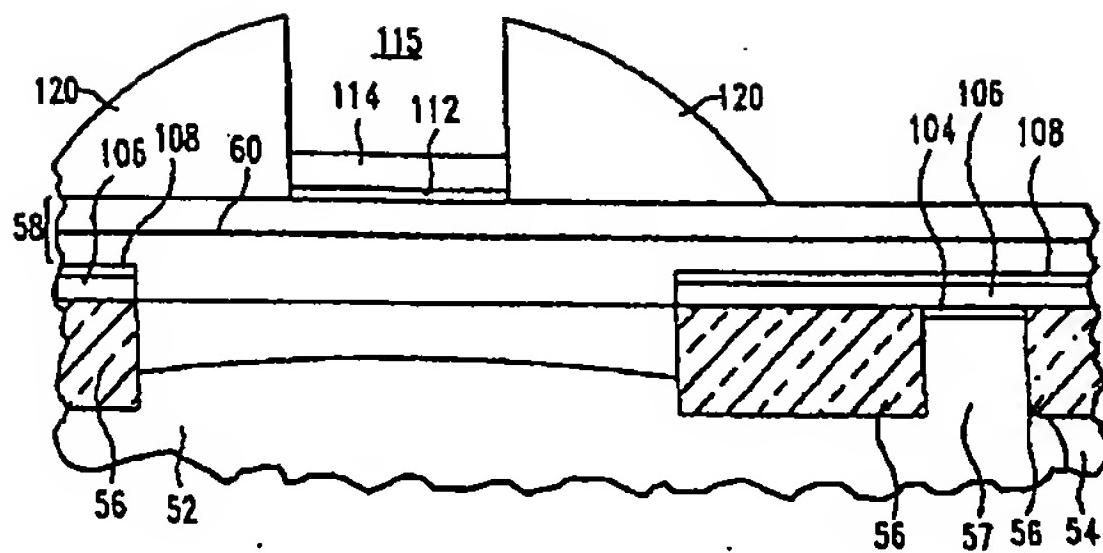
【図15】



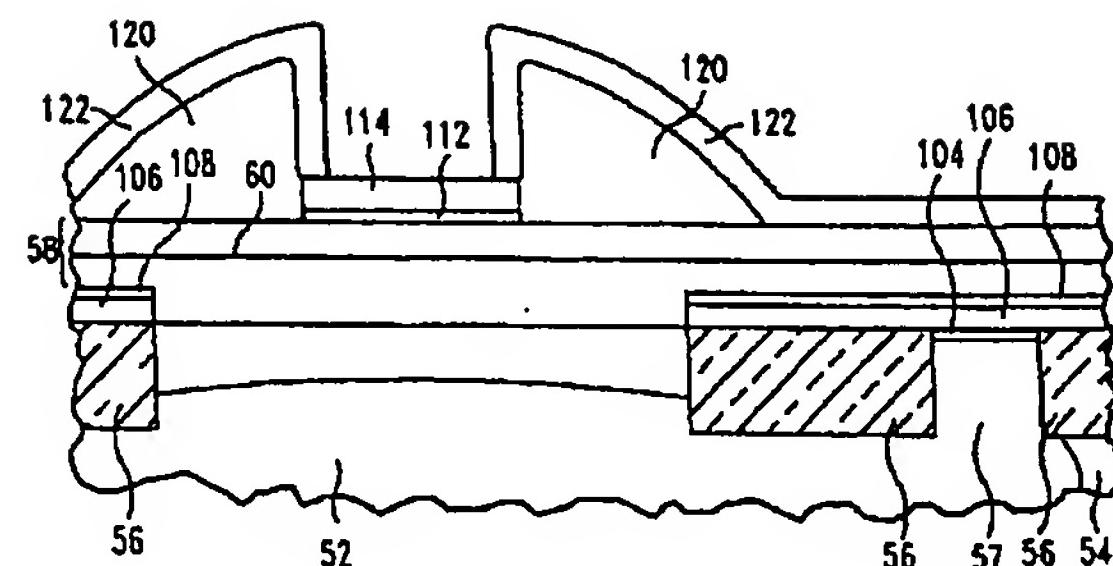
【図16】



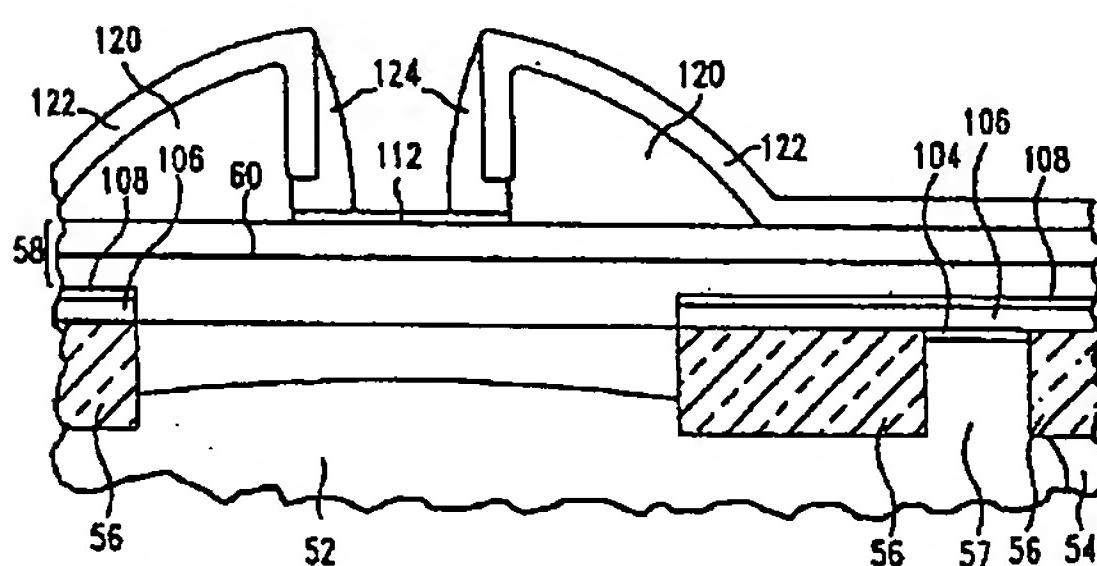
【図17】



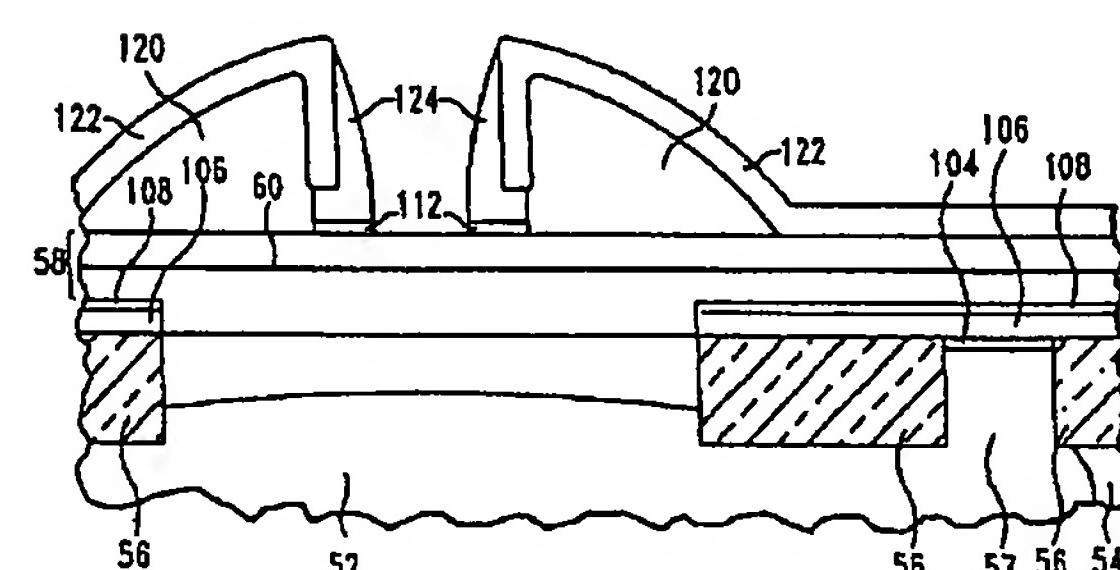
【図18】



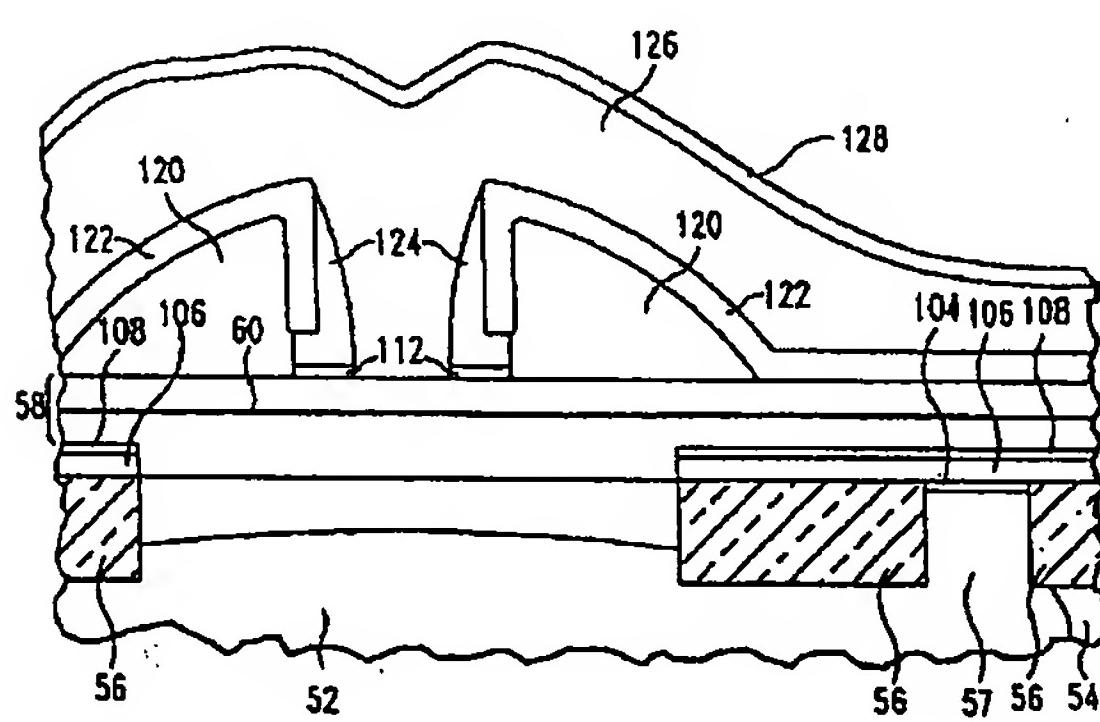
【図19】



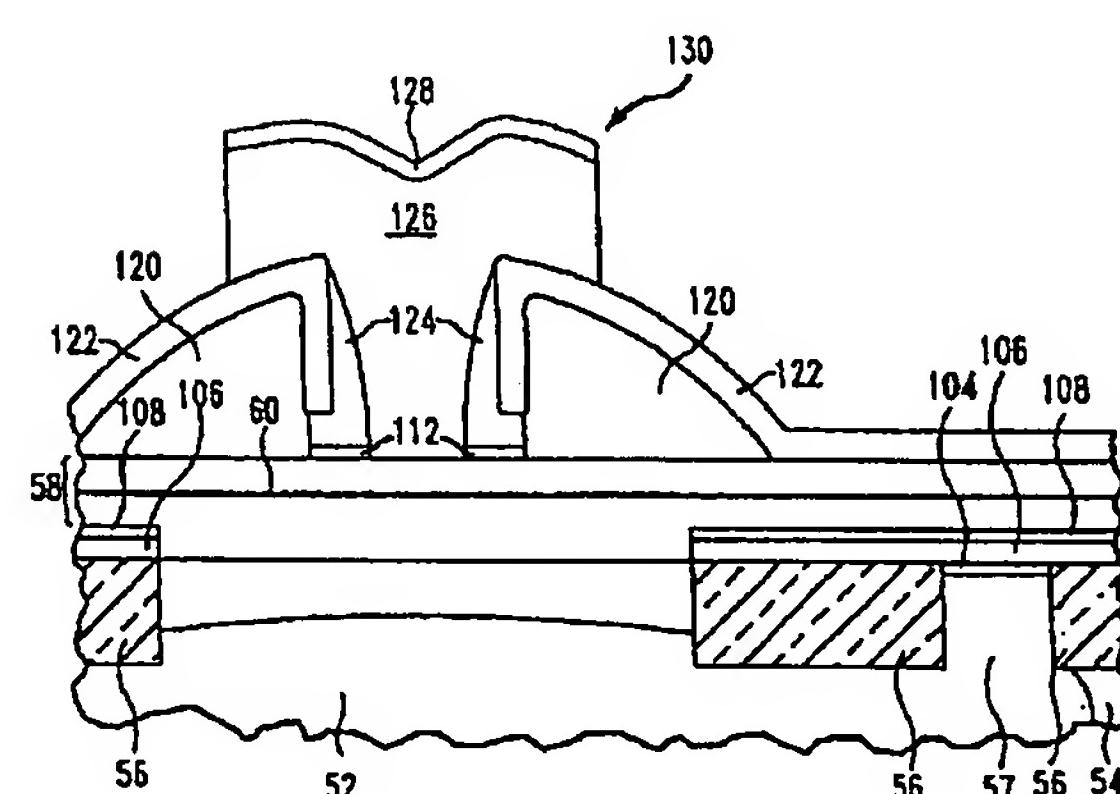
【図20】



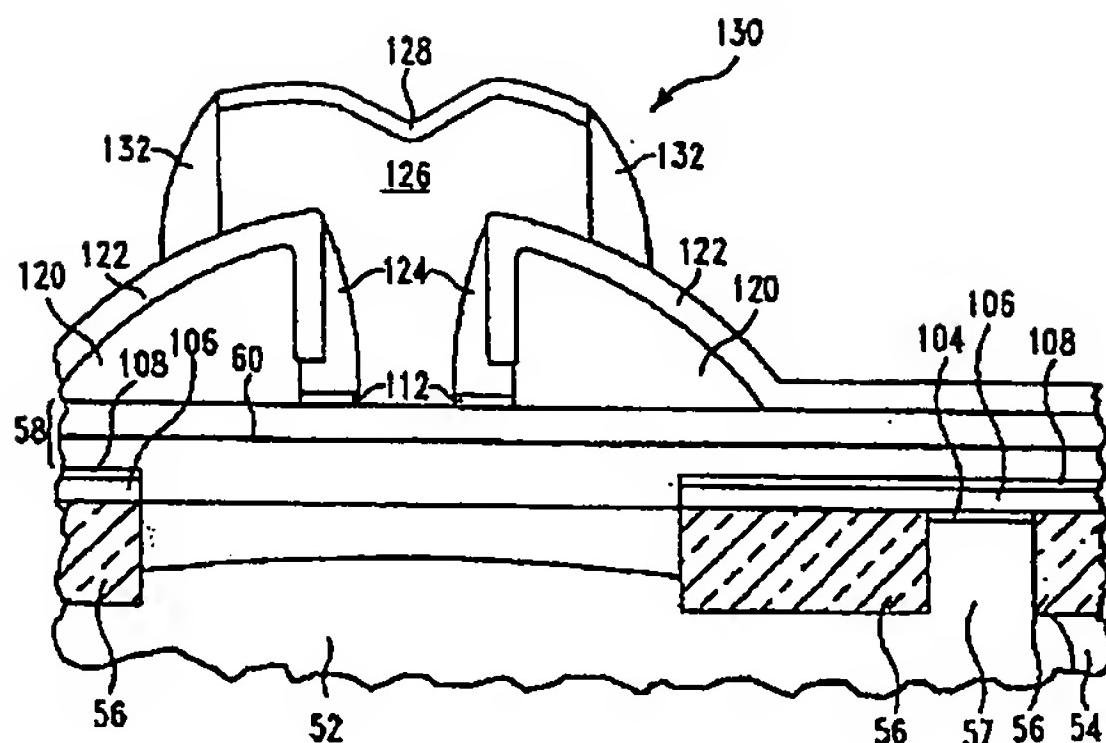
【図21】



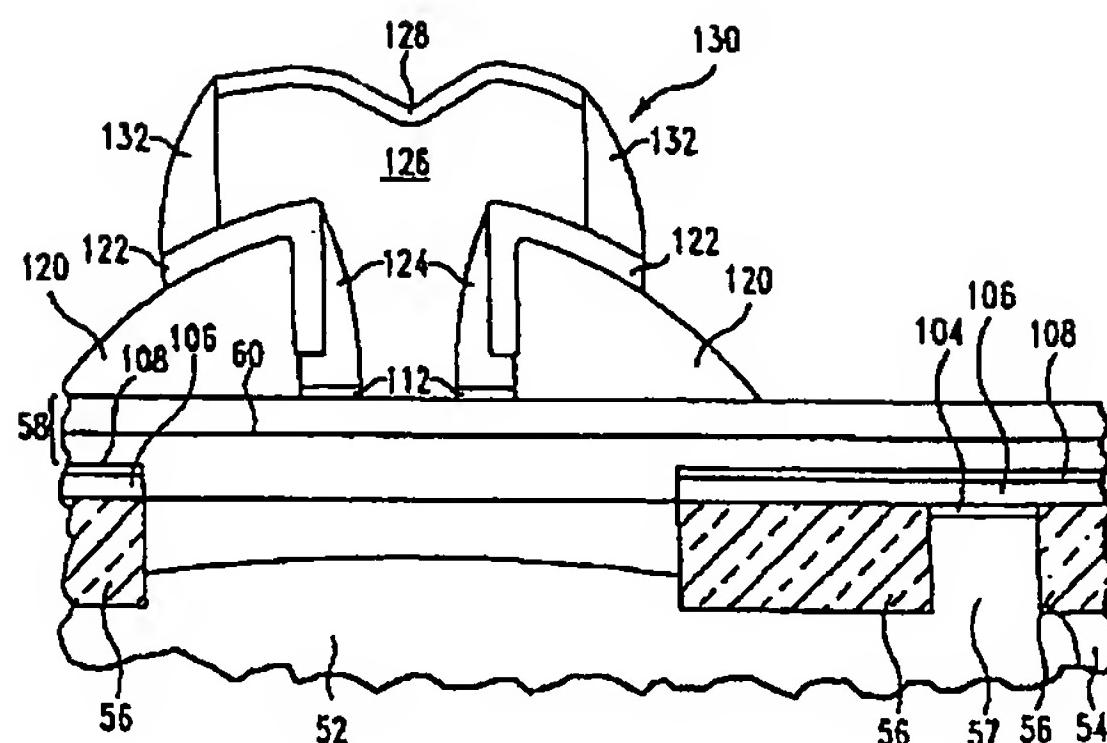
【図22】



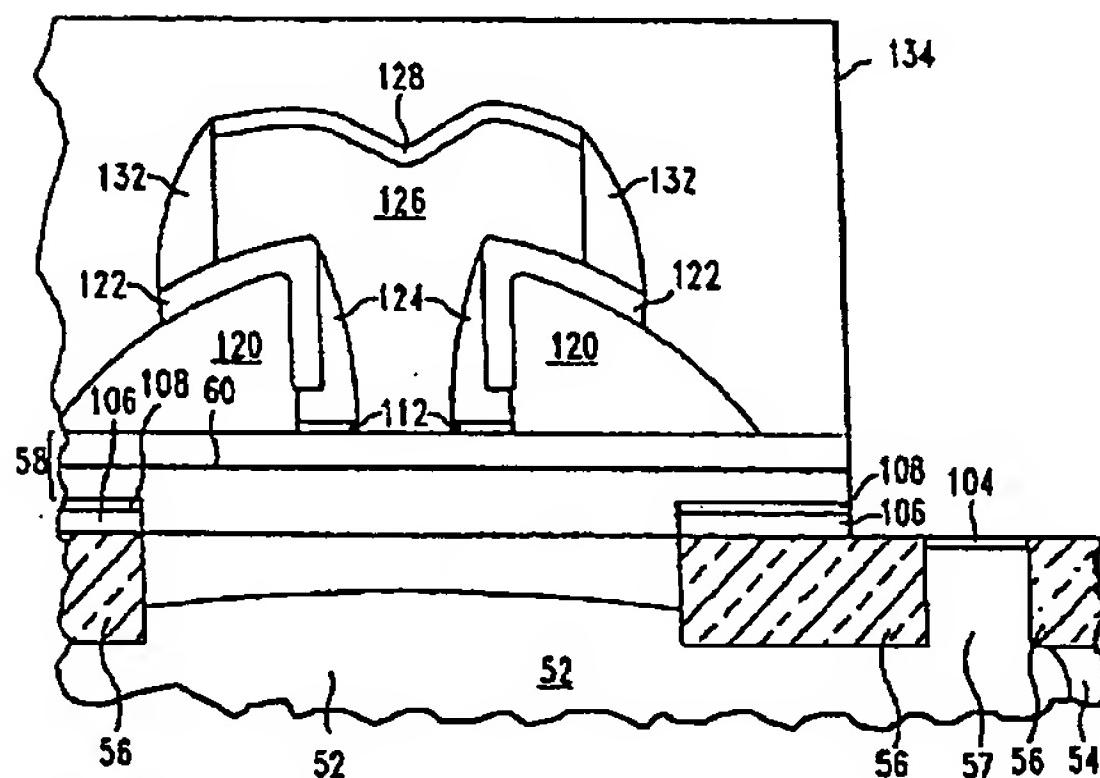
【图23】



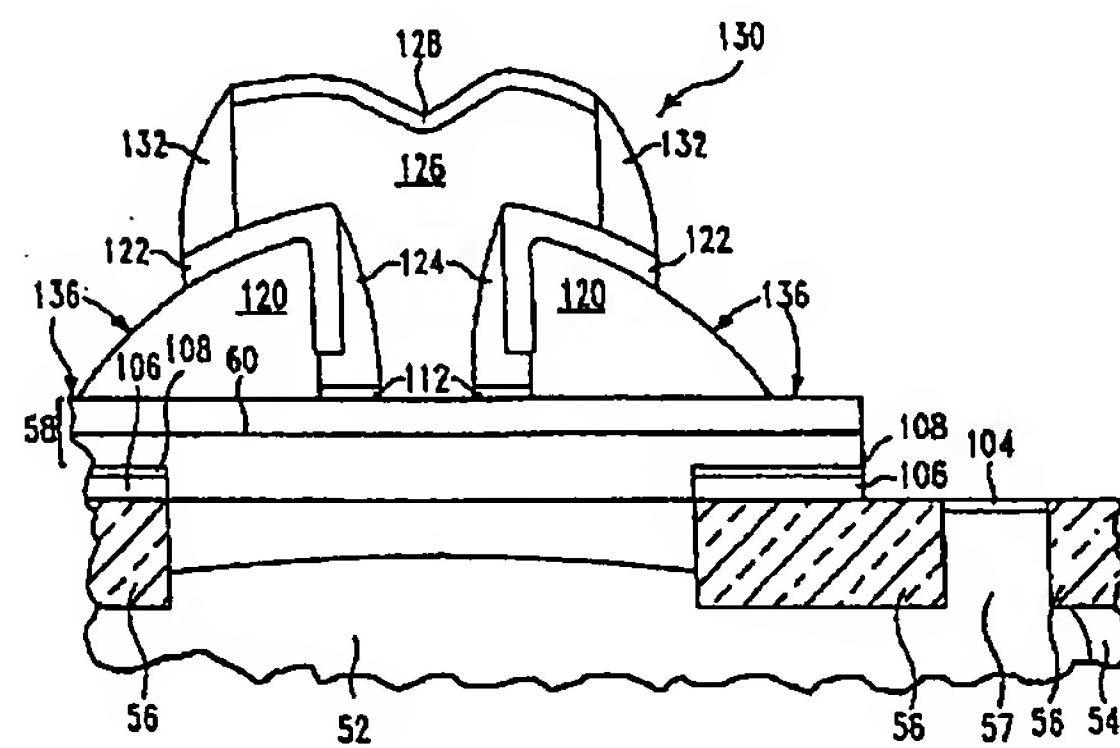
【图24】



【图25】



〔四〕26)



フロントページの続き

(72)発明者 ジェイムス・エス・ダン
アメリカ合衆国 05465 バーモント州
ジェリコ オアー ロード 75

(72)発明者 デヴィッド・エル・ハラミー¹
アメリカ合衆国 05452 バーモント州
エセックス ジャンクション シスル レ
ーン 9

(72)発明者 ジェフリー・ビー・ジョンソン
アメリカ合衆国 05452 バーモント州
エセックス ジャンクション ジュニパー
リッジ ロード 15

(72) 発明者 ロブ・エイ・ジョンソン
アメリカ合衆国 05403 バーモント州
サウス バーリントン ツイン オークス
テラス 113

(72) 発明者 ルイス・ディー・ランゼロッティ
アメリカ合衆国 05406 バーモント州
バーリントン ピーオーボックス 64883
(番地なし)

(72) 発明者 ステファン・エイ・エスティー・オンジュ
アメリカ合衆国 05446 バーモント州
フルチエスター プア ファーム ロード

F ターム(参考) 5F003 AP05 BA27 BB02 BB08 BC08
BE90 BF06 BG06 BM01 BP31